

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日                      2003年 3月 5日  
Date of Application:

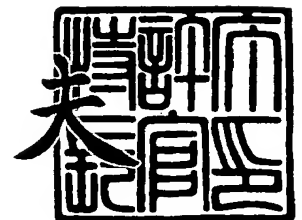
出願番号                      特願2003-058525  
Application Number:  
[ST. 10/C]:                      [JP 2003-058525]

出願人                      富士通株式会社  
Applicant(s):

2003年11月19日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



【書類名】 特許願

【整理番号】 0252692

【提出日】 平成15年 3月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 19/173

【発明の名称】 動作継続中にデータ書き換え可能な論理装置

【請求項の数】 2

【発明者】

【住所又は居所】 神奈川県横浜市港北区新横浜 3 丁目 9 番 1 8 号 富士通  
コミュニケーション・システムズ株式会社内

【氏名】 中島 光朗

【発明者】

【住所又は居所】 神奈川県横浜市港北区新横浜 3 丁目 9 番 1 8 号 富士通  
コミュニケーション・システムズ株式会社内

【氏名】 持田 貴靖

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100092978

【弁理士】

【氏名又は名称】 真田 有

【電話番号】 0422-21-4222

【手数料の表示】

【予納台帳番号】 007696

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704824

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 動作継続中にデータ書き換え可能な論理装置

【特許請求の範囲】

【請求項 1】 実現すべき機能に応じた論理回路構成データに基づいて内部に論理回路部が生成・維持される論理装置であって、

該論理回路部を生成・維持するための該論理回路構成データを保持するメモリと、

該論理回路部の動作継続中に、1つ以上の新たな論理回路部を生成・維持するための論理回路構成データを該メモリの未使用領域に追記するためのアドレス制御部とをそなえたことを特徴とする、動作継続中にデータ書き換え可能な論理装置。

【請求項 2】 該アドレス制御部が、

上記新たな論理回路部として、不具合の存在する論理回路部と同じ機能を実現する予備用論理回路部を生成・維持するための論理回路構成データと、上記不具合の存在する論理回路部と該予備用論理回路部とを切り換える切換用論理回路部を生成・維持するための論理回路構成データとをそれぞれ該メモリの該未使用領域に追記するように構成されたことを特徴とする、請求項 1 記載の動作継続中にデータ書き換え可能な論理装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、動作継続中に書き換え可能な論理装置に関し、例えば、システム停止が認められない交換装置等において、運用を継続したまま機能追加、不具合修正等を行なう必要がある場合に用いて好適な、FPGA (Field Programmable Gate Array) 等の論理装置に関する。

【0 0 0 2】

【従来の技術】

FPGA とは、ユーザの手元で機能を定義することのできるASIC (Application Specific Integrated Circuit) であって、十分な集積度を有するもので

、多数の論理素子（ANDやORゲート等）を有する複数の論理回路部から成り、プログラミングにより論理素子及び論理回路部を適宜に組み合わせることで各種機能を実現できるようになっている。

#### 【0003】

図14は従来の論理装置としてのFPGAの構成を示すブロック図で、この図14に示すFPGA100は、電源投入後に行なわれる「コンフィギュレーション」と呼ばれる操作によって、所定機能を実現する論理回路部（回路生成部）103をFPGA100内で生成・維持するための回路生成・維持データ（論理回路構成データ）を外部（マイクロプロセッサ等）から取り込み、RAM等のメモリ102に保持するようになっている。

#### 【0004】

そして、このようにメモリ102に、実現すべき機能に応じた回路生成・維持データが必要なだけ保持されることにより、当該データに基づいて上記所定機能を実現する論理回路部103がそれぞれFPGA100内で生成・維持されることになる。なお、メモリ102には、上記回路生成・維持データとは別に、各論理回路部103間の配線（接続）に関するデータ（接続ネットデータ）を保持する領域も用意されており、ここにデータが書き込まれることにより当該データに基づいて未配線領域にて論理回路部103間の接続も自動で行なわれる。

#### 【0005】

また、メモリ102に回路生成・維持データを書き込む際、従来は、アドレスの概念が無く、アドレスカウンタ101により単純にメモリ102の先頭アドレスから順番にデータが書き込まれてゆくようになっており、空き（未使用）となるメモリアドレス（未使用領域）には、論理回路部が未使用であることを表すデータが書き込まれる。

#### 【0006】

さらに、従来の他のFPGAとして、下記特許文献1により提案されている技術がある。この技術は、FPGAに、ランダムアクセスメモリ又は積算項（Pターム）ロジックを実行するためのもののいずれかとして選択的に動作し得るメモリ回路（下記特許文献1の図1及び図2に示すRAMモジュール10）を設ける

ことで、多数の入力を有するロジック機能をより容易に実行できるようにしたものである。なお、この技術において、上記RAMモジュール10の1つが図14により上述したFPGA100の論理回路部103の1つに相当する。

#### 【0007】

##### 【特許文献1】

特開平11-243334号公報

#### 【0008】

##### 【発明が解決しようとする課題】

しかしながら、上述した従来のいずれのFPGAも、論理回路部103を決定（生成・維持）するために存在するメモリ102に対して、任意のアドレスを指定して回路生成・維持データを書き込むことができない。そのため、機能追加や不具合修正等を行なうためには、必ずいったん電源断とし電源再投入することで、全ての回路生成・維持データをリセットして書き込み直さなければならなかった。なお、電源断を行わずに、コンフィギュレーション操作を再度実行することも可能であるが、FPGA自体はリセットされる（電源断と同等）ことになる。

#### 【0009】

したがって、FPGAの機能追加や不具合修正等の作業を行なうためには、必ず機能部分のシステムダウンが発生し、システム運用継続中にこれらの作業を行なうことは不可能であった。

本発明は、このような課題に鑑み創案されたもので、動作継続中にも適宜に機能追加や不具合修正等の作業（データ書き換え）が可能な論理装置を提供することを目的とする。

#### 【0010】

##### 【課題を解決するための手段】

上記の目的を達成するために、本発明の動作継続中にデータ書き換え可能な論理装置（請求項1）は、実現すべき機能に応じた論理回路構成データに基づいて内部に論理回路部が生成・維持される論理装置であって、該論理回路部を生成・維持するための該論理回路構成データを保持するメモリと、該論理回路部の動作継続中に、1つ以上の新たな論理回路部を生成・維持するための論理回路構成デ

ータを該メモリの未使用領域に追記するためのアドレス制御部とをそなえたことを特徴としている。

#### 【0 0 1 1】

ここで、該アドレス制御部は、上記新たな論理回路部として、不具合の存在する論理回路部と同じ機能を実現する予備用論理回路部を生成・維持するための論理回路構成データと、上記不具合の存在する論理回路部と該予備用論理回路部とを切り換える切換用論理回路部を生成・維持するための論理回路構成データとをそれぞれ該メモリの該未使用領域に追記するように構成されていてもよい（請求項 2）。

#### 【0 0 1 2】

##### 【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を説明する。

##### （A）一実施形態の説明

図 1 は本発明の一実施形態としての F P G A（論理装置）の構成を示すブロック図で、この図 1 に示す F P G A 1 は、例えば、交換装置に適用することができ、アドレスデコーダ 2，メモリ（回路決定 R A M）3，複数の回路生成部（論理回路部）4，複数の接続ネット 5 等をそなえて構成されている。

#### 【0 0 1 3】

ここで、メモリ 3 は、所定機能（上記交換装置に必要な機能）を実現する論理回路部 4 を決定（生成・維持）するための回路決定データ（論理回路構成データ；以下、単に回路データともいう）を保持するためのもので、本実施形態においても、このメモリ 3 に、実現すべき機能に応じた回路データが必要な論理回路部 4 の数だけ保持されることにより、当該回路データに基づいて論理回路部 4 がそれぞれ生成・維持されるようになっている。

#### 【0 0 1 4】

即ち、各論理回路部 4 はそれぞれ A N D（論理積），O R（論理和），セレクタ等の多数の論理素子から成る同じ構成をデフォルトで有しており、上記回路データに基づいてこれらの論理素子が、適宜に、活性化／非活性化されたり、組み合わせられ（接続され）たりすることによって、上記回路データに応じた必要な機

能が実現されるようになっているのである。

#### 【0015】

なお、論理回路部4間の配線（接続）については、配線データ（接続ネットデータ）がメモリ3の所定領域（後述するゲート生成領域）に書き込まれて、当該配線データに従って未配線領域にて接続ネット5が生成・維持されることで、自動で行なわれるようになっている。

また、図2に示すように、空き（未使用）となるメモリアドレス（未使用領域）31が生じる場合には、当該未使用領域31に対応して未使用（回路データ及び接続ネットデータなし）を表すデータ（未使用データ）がメモリ3のゲート生成領域32（図3～図6により後述）に書き込まれ、当該データに基づいて未使用の論理回路部6（以下、未使用回路部6ともいう）及び未使用の接続ネット7が必要数だけ生成・維持されるようになっている。

#### 【0016】

そして、アドレスデコーダ（アドレス制御部）2は、外部（図示しないマイクロプロセッサ等）からメモリ3の任意のメモリアドレス（以下、単に「アドレス」又は「アドレス領域」ともいう）を指定するデータ（アドレスデータ）を受けて、当該アドレスデータの示すメモリ3のアドレス領域に、同じく外部（マイクロプロセッサ等）から供給される回路データを書き込むためのものである。

#### 【0017】

つまり、本FPGA1は、このアドレスデコーダ2により、メモリ3の任意のアドレス領域を指定して当該アドレス領域に回路データを書き込むことができるのである。したがって、1つ以上の新たな論理回路部を生成・維持するための論理回路構成データをメモリ3の任意の未使用領域31に追記することができ、これにより、既存の論理回路部5の動作継続中に、メモリ31の未使用領域31に対応する未使用回路部6を用いて新たな機能追加が可能となる。

#### 【0018】

以下、本実施形態のFPGA1の動作について、図3～図6を参照しながら詳述する。

まず、図3に示すように、アドレスデコーダ2により、メモリ3のゲート生成



領域 3 2 へ、未使用データ（未使用領域 A，B，C の off を表すデータ）が書き込まれる。ここで、未使用領域 A，B，C は、それぞれ、未使用領域 3 1 を構成する領域で、上記未使用データの書き込みにより、それぞれに対応して未使用回路 6 が生成されている。なお、他のメモリ領域 3 0 には回路データが保持されており、当該回路データに基づいて必要な論理回路部 4 が既に生成・維持され動作中である。

#### 【0 0 1 9】

かかる状態において、図 4 に示すように、アドレスデコーダ 2 により、メモリ 3 の未使用領域 A を指定して、新たに追加する論理回路部を生成・維持するための回路データをメモリ 3 に書き込むと、当該データに基づいて未使用領域 A に対応する未使用回路部 6 を用いて新たな論理回路部 6 A が生成・維持される。

次に、さらに新たな論理回路部を追加する場合には、例えば図 5 に示すように、アドレスデコーダ 2 により、メモリ 3 の未使用領域 C を指定して、新たに追加する論理回路部を生成・維持するための回路データをメモリ 3 に書き込む。これにより、当該データに基づいて未使用領域 C に対応する未使用回路部 6 を用いて新たな論理回路部 6 C が生成・維持される。

#### 【0 0 2 0】

そして、図 6 に示すように、アドレスデコーダ 2 により、メモリ 3 のゲート生成領域 3 1 を指定して、未使用領域 A 及び C についての配線を実行（未使用領域 B については off）するデータを書き込むと、当該データに応じて未使用の接続ネット（未配線領域）7 を使用して未使用領域 A 及び C、即ち、追加された論理回路部 6 A 及び 6 C についての接続ネット 7 A C が生成・維持されて配線が実行される。

#### 【0 0 2 1】

なお、未使用領域 B について回路生成及び配線動作を行なう場合も、上記と同様にして行なわれる。

以上のように、本実施形態によれば、FPGA 1 内の論理回路構成を生成・維持するための回路データを保持するメモリ 3 に対し、アドレスデコーダ 2 により、メモリ 3 の未使用領域 3 1 を指定して追加すべき新たな論理回路部を生成・維

持する回路データを追記できるようにすることで、既存の動作継続中の論理回路部 4 には影響を与えずに、未使用回路部 7 を使用して追加の論理回路部の生成が可能となる。

#### 【 0 0 2 2 】

したがって、システムダウンが認められない交換装置等において運用を継続したままサービスアップグレード等に伴う必要な機能追加を適宜に行なうことが可能となる。

#### (B) 変形例の説明

さて、上述のごとく本実施形態の F P G A 1 は未使用回路部 7 を用いた機能追加が可能であるから、一部の論理回路部 6 に不具合が生じた場合にも、システムダウンを生じさせることなく、当該不具合を解消・救済することが可能となる。

#### 【 0 0 2 3 】

即ち、例えば図 7 に示すように、論理回路部 4 W A 及び 4 W B に何らかの不具合が生じたとすると、これら不具合の生じた論理回路部（以下、不具合回路部ともいう） 4 W A 及び 4 W B とそれぞれ同じ機能を実現する論理回路部（修正回路部；予備用論理回路部） 4 P A 及び 4 P B を、上述した実施形態と同様の手法により、未使用回路部 6 を使用して追加生成・維持するとともに、不具合回路部 4 W A 及び 4 W B の組を、追加した修正回路部 4 P A 及び 4 P B の組に切り換える（置き換える）ための論理回路部（切り換え回路部） 4 C を、同じく未使用回路部 6 を使用して追加生成・維持するのである。

#### 【 0 0 2 4 】

これにより、F P G A 1 内の一部の論理回路部 4 に不具合がある場合であっても、不具合のない動作継続中の他の論理回路部 4 は動作させたまま、不具合回路部 4 W A 及び 4 W B のみを未使用回路部 6 を用いて追加生成した修正回路部 4 P A 及び 4 P B に置き換えることが可能となる。

ただし、修正回路部 4 P A 及び 4 P B を起動する場合、不具合回路部 4 W A 及び 4 W B の動作と修正回路部 4 P A 及び 4 P B の動作が一致しているタイミングで切り換える必要がある。しかし、不具合回路部 4 W A 及び 4 W B の動作は、その不具合の為、修正回路部 4 P A 及び 4 P B の動作と一致していないタイミング

も存在する。

#### 【0025】

そこで、本例では、図8～図13に示すようにして修正回路部4PA及び4PBの起動（置き換え）を行なう。なお、図8～図13においては、FPGA1内で生成・維持すべき回路部のためのデータが格納されるメモリ3のアドレス（領域）を、紙面左上に位置する回路部から下へ向かって順に、アドレス“1A”，“1B”，“1C”，“1D”，“2A”，“2B”，“2C”，“2D”，“3A”，“3B”，“3C”，“3D”と表記している。また、図10～図13においては、説明の便宜上、修正回路部4PBに着目し修正回路部4PAの図示はいずれも省略している。

#### 【0026】

まず、図8に示すように、不具合回路部4WBがその最終出力段に2入力（“1”，“2”）のセクタ41及び当該セクタ41の切り換えを制御する制御ゲート42としての機能を有していたとする。なお、制御（AND）ゲート42は、この図8中に点線で示すようにセクタ41の切り換えを制御（入力“1”を出力に接続）している。また、制御ゲート42の一方の入力は接地されている。

#### 【0027】

かかる状態で、図9に示すように、不具合回路部4WBにおける制御ゲート42の他方の入力に対し非活性化したラッチ（FF：Flip-Flop）43を挿入する。即ち、アドレスデコーダ2によりアドレス“2B”を指定して、非活性化したラッチ43を追加するデータを現状のデータに上書き（追記）することで、上記ラッチ43の挿入を行なう。

#### 【0028】

その後、アドレスデコーダ2によりメモリ3のアドレス“1A”（未使用領域）を指定して、切り換えポイント情報を生成するためのデータを書き込むことで、図10に示すように、当該アドレス“1A”に対応する未使用回路部6を用いて切り換えポイント情報を生成するための論理回路部（切り換えポイント情報生成回路部）4C'が生成・維持される。

**【 0 0 2 9 】**

次に、アドレスデコーダ 2 によりメモリ 3 のアドレス “2 A”（未使用領域）を指定して、切り換え回路部 4 C を生成・維持するための回路データを書き込むことで、不具合回路部 4 W B と修正回路部 4 P B とを切り換えるための切り換え回路部 4 C を、当該メモリ 3 のアドレス “2 A” に対応する未使用回路部 6 を用いて生成・維持する。

**【 0 0 3 0 】**

その後、アドレスデコーダ 2 によりメモリのゲート生成領域 3 2（図 3～図 6 参照）を指定して、アドレス “1 A” とアドレス “2 A” との接続（配線）、即ち、切り換えポイント情報生成回路部 4 C' と切り換え回路部 4 C との接続を行なうためのデータを書き込むことで、未配線領域を使用して切り換えポイント情報生成回路部 4 C' と切り換え回路部 4 C との配線が行なわれる。

**【 0 0 3 1 】**

なお、図 1 0 に示すように、切り換え回路部 4 C も、他の論理回路部と同様、セクタ 4 1 及び制御（AND）ゲート 4 2 を含んでおり、上記配線により、セクタ 4 1 を通じて切り換え回路部 4 C に上記切り換えポイント情報が入力されて、当該切り換え回路部 4 C が、切り換えポイント（切り換え制御対象；不具合回路部 4 W B におけるセクタ 4 1，制御ゲート 4 2 及び非活性ラッチ 4 3）を特定できるようになる。

**【 0 0 3 2 】**

次に、アドレスデコーダ 2 により、例えば、メモリ 3 のアドレス “2 C”（未使用領域）を指定して、不具合回路部 4 W B と同じ機能を実現する修正回路部 4 P B を生成・維持するための回路データを書き込むことで、修正回路部 4 P B を、当該メモリ 3 のアドレス “2 C” に対応する未使用回路部 6 を用いて生成・維持する。

**【 0 0 3 3 】**

その後、アドレスデコーダ 2 により、メモリ 3 のゲート生成領域 3 2 を指定して、アドレス “1 B” とアドレス “2 C” との接続（配線）、即ち、不具合回路部 4 W B の前段回路部 4 と修正回路部 4 P B との接続を行なうためのデータを書

き込むことで、図 1 1 に示すように、未配線領域を使用して前段回路部 4 と修正回路部 4 P B との配線を行なう。

#### 【 0 0 3 4 】

さらに、アドレスデコーダ 2 により、メモリ 3 のゲート生成領域 3 2 を指定して、アドレス “ 2 C ” とアドレス “ 2 B ” との接続（配線）、即ち、修正回路部 4 P B と不具合回路部 4 W B との接続を行なうためのデータを書き込むことで、図 1 1 に示すように、未配線領域を使用して修正回路部 4 P B と不具合回路部 4 W B との配線を行なう。具体的に、修正回路部 4 P B は、不具合回路部 4 W B の入力を入力とし、その出力が不具合回路部 4 W B のセクタ 4 1 の他方の入力 “ 2 ” に接続されるよう配線される。

#### 【 0 0 3 5 】

次いで、アドレスデコーダ 2 により、再度、メモリ 3 のゲート生成領域 3 2 を指定して、アドレス “ 2 A ” とアドレス “ 2 B ” との接続（配線）、即ち、切り換え回路部 4 C と不具合回路部 4 W B との接続（配線）を行なうためのデータを書き込むことで、図 1 1 に示すように、未配線領域を使用して切り換え回路部 4 C と不具合回路部 4 W B との配線を行なう。

#### 【 0 0 3 6 】

この際、切り換え回路部 4 C の出力は、不具合回路部 4 W B の動作タイミングと修正回路部 4 P B の動作タイミングとが一致するポイントを引き込むよう、不具合回路部 4 W B におけるラッチ 4 3 の入力に接続される。そして、アドレスデコーダ 2 により、アドレス “ 2 B ” を指定して、不具合回路部 4 W B における制御ゲート 4 2 を開放し（接地されていた一方の入力を H レベルとし）、さらに、ラッチ 4 2 を活性化するためのデータを現状データに上書きすることで、図 1 1 及び図 1 2 に示すように、当該制御ゲート 4 2 を開放し、さらに、ラッチ 4 3 を活性化する。

#### 【 0 0 3 7 】

これにより、以降、不具合回路部 4 W B の動作タイミングと修正回路部 4 P B の動作タイミングとが一致した時点で、図 1 3 に示すように、制御ゲート 4 2 の出力が H レベルとなり、不具合回路部 4 W B のセクタ 4 1 が修正回路部 4 P B

の出力（入力“2”）をその出力とするよう切り換えられて、不具合回路部 4WB から修正回路部 4PB への切り換えが行なわれる。

### 【0038】

なお、以上の動作を次表 1 にまとめて示す。ただし、次表 1 において、「書き込み順序」= 1, 2, 3, 5 で示される各回路部の生成順序は適宜変更してもよい。

### 【0039】

【表 1】

書込 順序	書込 アドレス	書込内容 (データ)	備考	対応図
0	—	—	不具合継続状態 (修正前)	図 8
1	回路生成 2B	非活性 FF 追加	追加情報を 現状データに上書き	図 9
2	回路生成 1A	切り換えポイント情報生成	未使用領域にて生成	図 10
3	回路生成 2A	切り換え回路生成	未使用領域にて生成	
4	ゲート生成領域	1A と 2A の接続	未配線領域にて生成	
5	回路生成 2C	修正回路生成	未使用領域にて生成	
6	ゲート生成領域	1B と 2C の接続	未配線領域にて生成	
7	ゲート生成領域	2C と 2B の接続	未配線領域にて生成	
8	ゲート生成領域	2A と 2B の接続	未配線領域にて生成	図 11
9	回路生成 2B	セレクト用 AND の Pull Up	再び 2B に上書き	図 12
回路修正用書き込み終了			切り換えタイミングにて 切り換え実行	図 13

### 【0040】

以上のようにして、本変形例では、FPGA 1 内において、他の動作中の論理回路部の動作を停止することなく、且つ、追加又は修正回路を生成する過程において不要な信号や想定外の信号送出を防止しながら、FPGA 1 の不具合部分を解消・救済することが可能となる。したがって、システムダウンが認められない交換装置等において、運用を継続したまま不具合部分の救済を行なうことが可能となる。

### 【0041】

なお、本発明は、上述した実施形態及びその変形例に限定されず、本発明の趣

旨を逸脱しない範囲で種々変形して実施できることはいうまでもない。

#### 【0 0 4 2】

##### 【発明の効果】

以上詳述したように、本発明によれば、論理装置内の論理回路構成を生成・維持するためのデータを保持するメモリに対し、アドレス制御部により、メモリの未使用領域を指定して追加すべき新たな論理回路部を生成・維持するためのデータを追記できるようにしたので、既存の動作継続中の論理回路部には影響を与えずに、未使用の論理回路部を使用して追加の論理回路部の生成が可能となる。したがって、システムダウンが認められない交換装置等において、運用を継続したままサービスアップグレード等に伴う必要な機能追加、不具合部分の修正（救済）等を適宜に行なうことが可能となる。

##### 【図面の簡単な説明】

##### 【図 1】

本発明の一実施形態としての F P G A（論理装置）の構成を示すブロック図である。

##### 【図 2】

図 1 に示す構成において未使用回路部を用いて新たな論理回路部が生成・維持される様子を示すブロック図である。

##### 【図 3】

図 1 に示す F P G A の動作（回路部追加）を説明するための図である。

##### 【図 4】

図 1 に示す F P G A の動作（回路部追加）を説明するための図である。

##### 【図 5】

図 1 に示す F P G A の動作（回路部追加）を説明するための図である。

##### 【図 6】

図 1 に示す F P G A の動作（回路部追加）を説明するための図である。

##### 【図 7】

本実施形態の変形例としての F P G A を示すブロック図である。

##### 【図 8】

図 7 に示す F P G A の動作（不具合修正）を説明するための図である。

【図 9】

図 7 に示す F P G A の動作（不具合修正）を説明するための図である。

【図 1 0】

図 7 に示す F P G A の動作（不具合修正）を説明するための図である。

【図 1 1】

図 7 に示す F P G A の動作（不具合修正）を説明するための図である。

【図 1 2】

図 7 に示す F P G A の動作（不具合修正）を説明するための図である。

【図 1 3】

図 7 に示す F P G A の動作（不具合修正）を説明するための図である。

【図 1 4】

従来の論理装置としての F P G A の構成を示すブロック図である。

【符号の説明】

- 1 F P G A（論理装置）
- 2 アドレスデコーダ（アドレス制御部）
- 3 メモリ（回路決定 R A M）
- 3 0 メモリ領域
- 3 1 メモリアドレス（未使用領域）
- 3 2 ゲート生成領域
- 4 論理回路部（回路生成部）
- 4 W A, 4 W B 論理回路部（不具合回路部）
- 4 P A, 4 P B 論理回路部（修正回路部；予備用論理回路部）
- 4 C 切り換え回路部（切換用論理回路部）
- 4 C' 切り換えポイント情報生成回路部
- 4 1 セレクタ
- 4 2 制御（A N D）ゲート
- 4 3 ラッチ（F F）
- 5 接続ネット



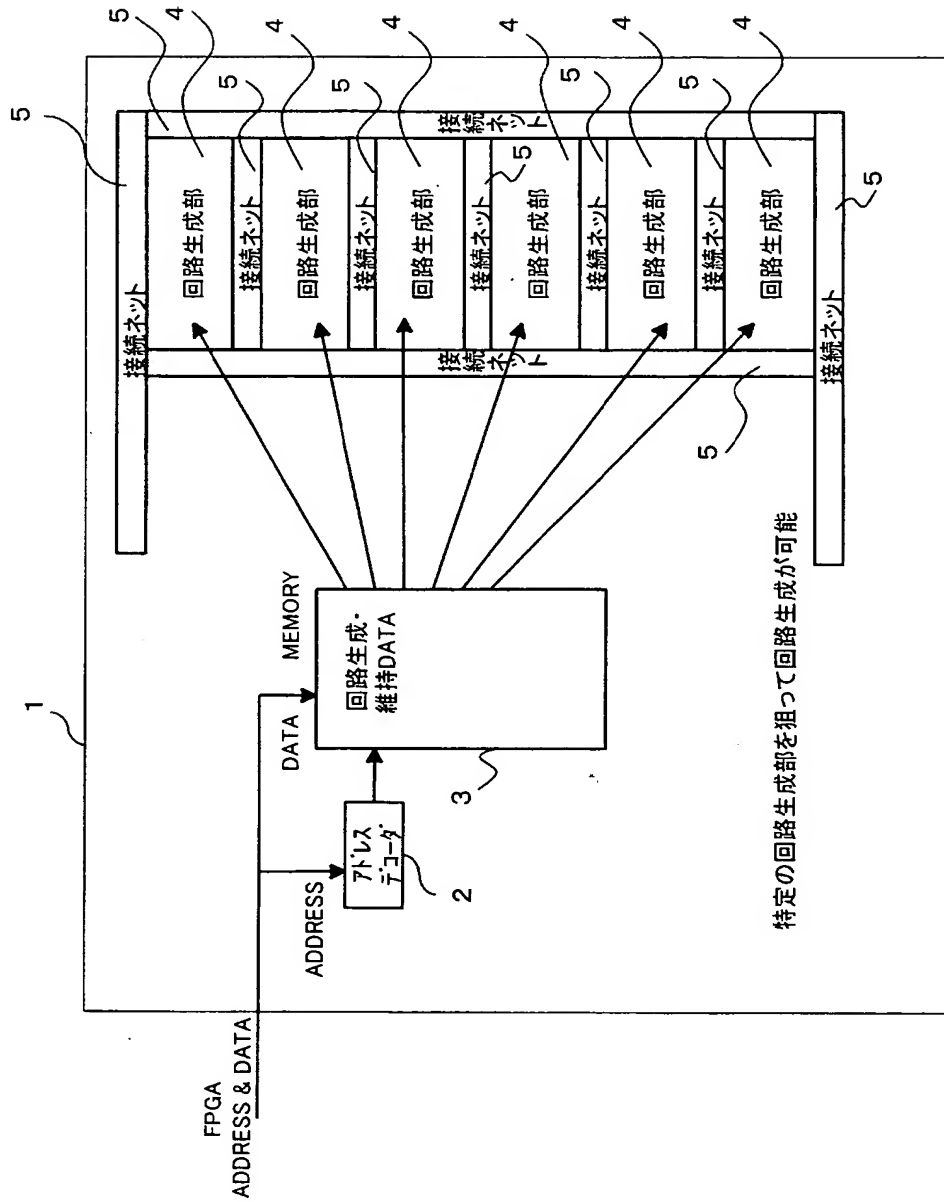
6, 6 A, 6 C 論理回路部 (未使用回路部)

7, 7 A C 接続ネット (未配線領域)

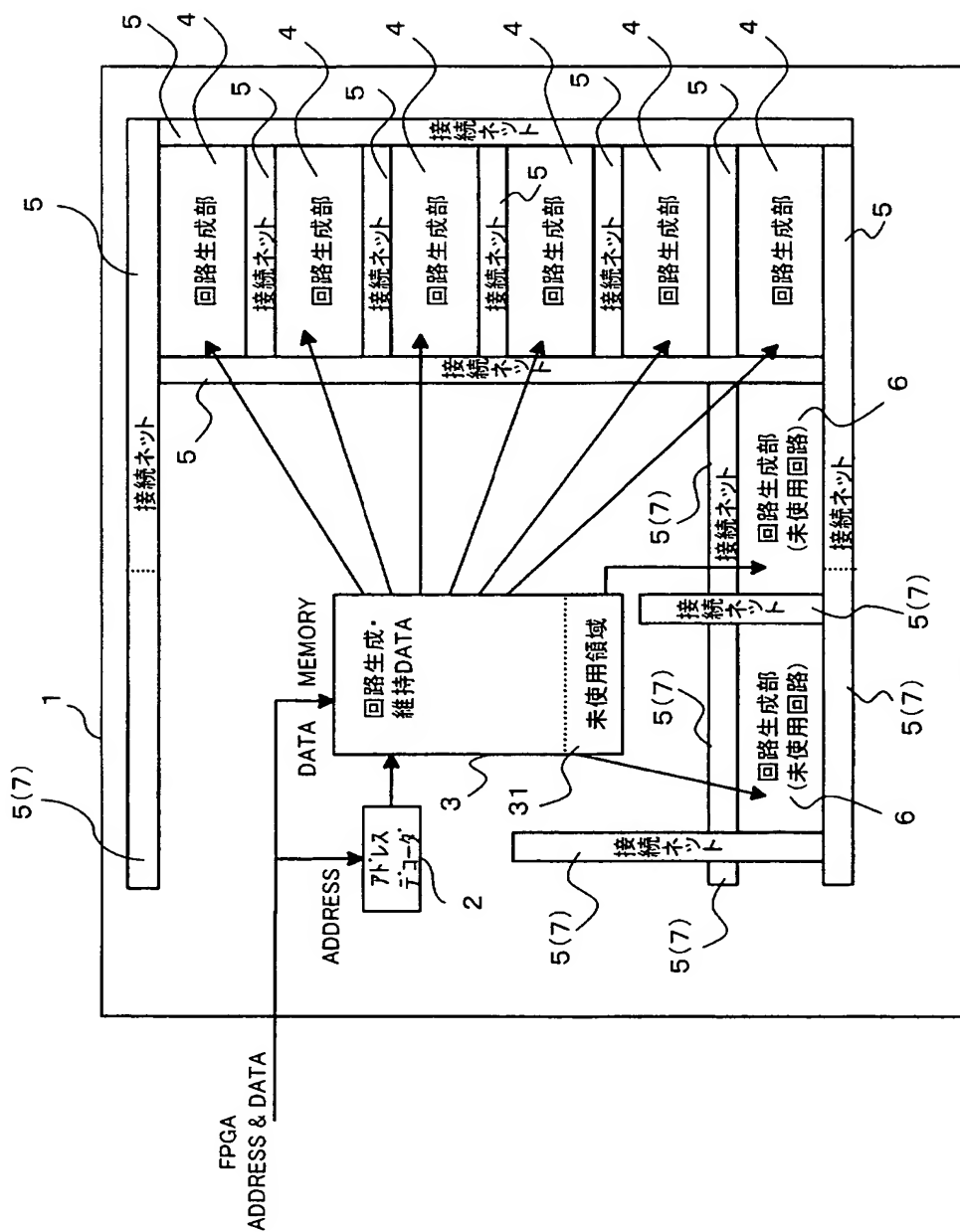
【書類名】

図面

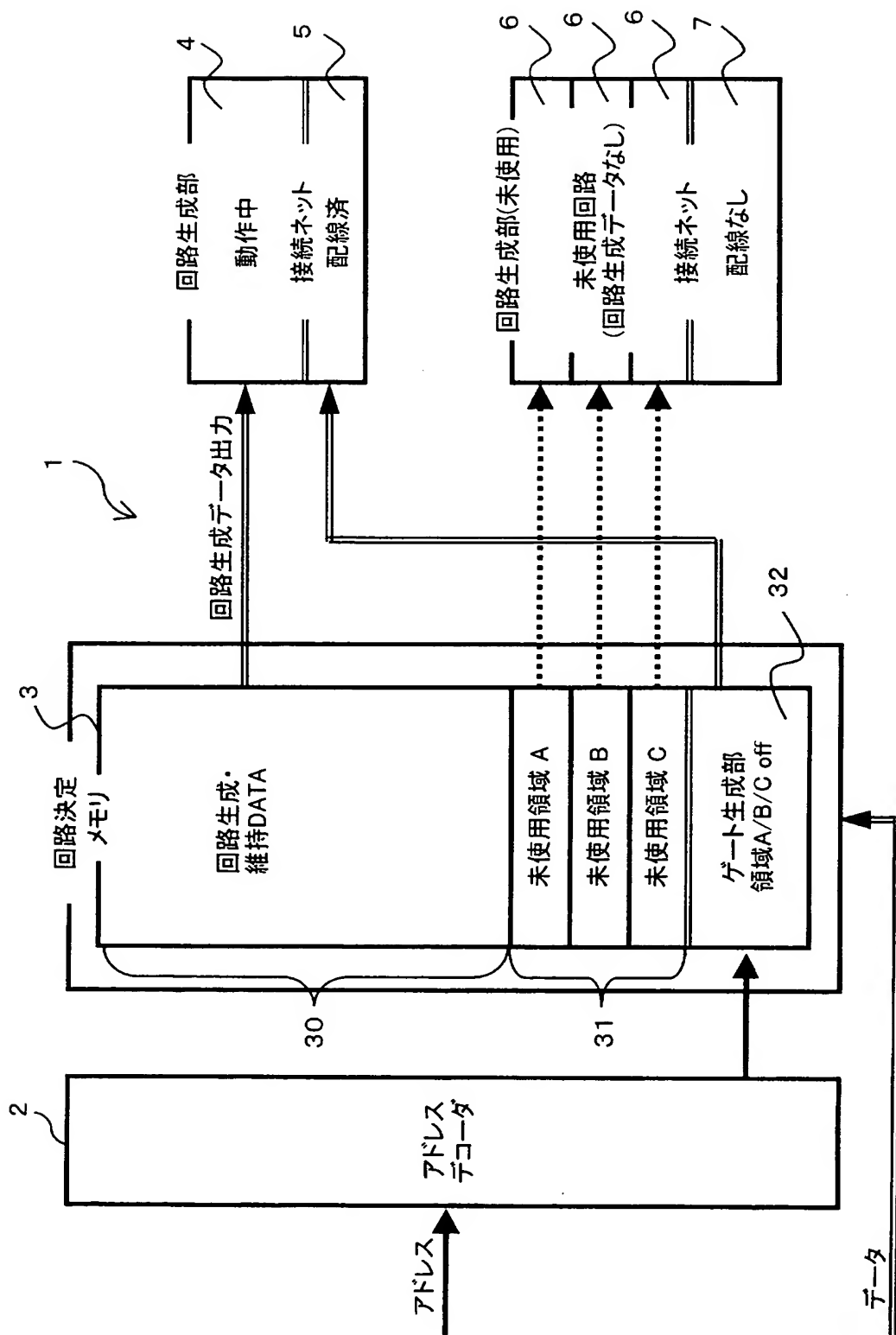
【図 1】



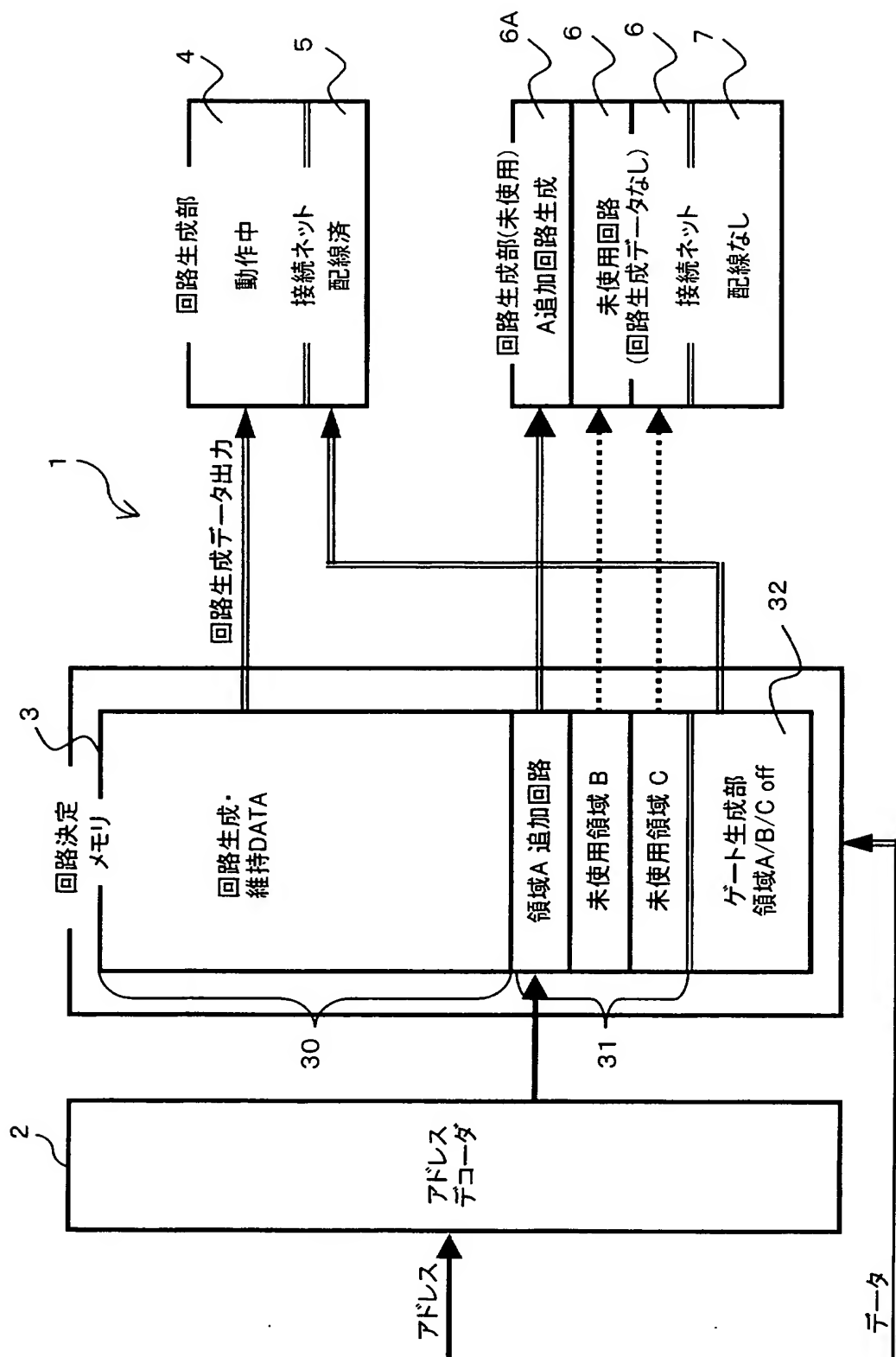
【図 2】



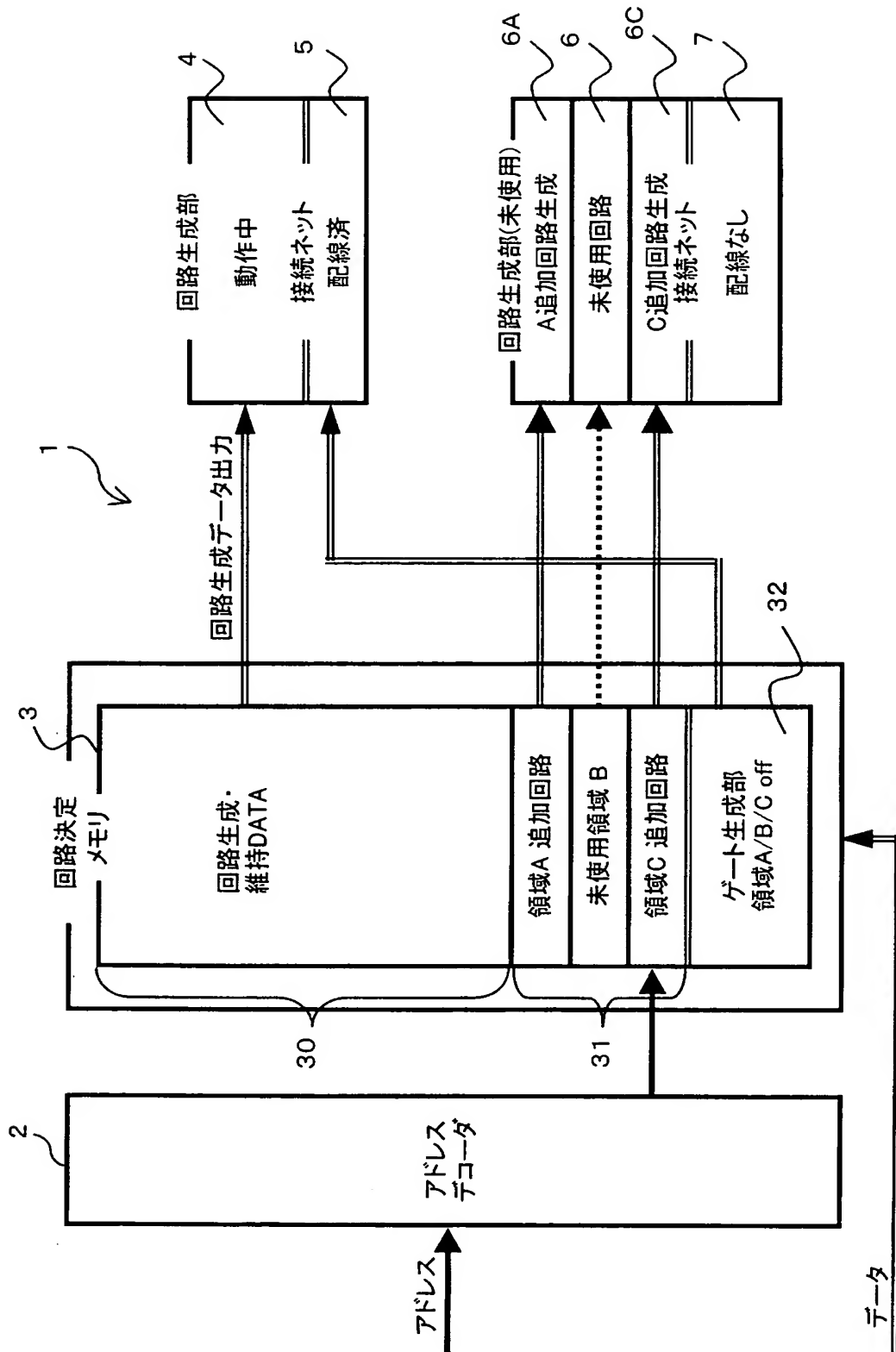
【図 3】



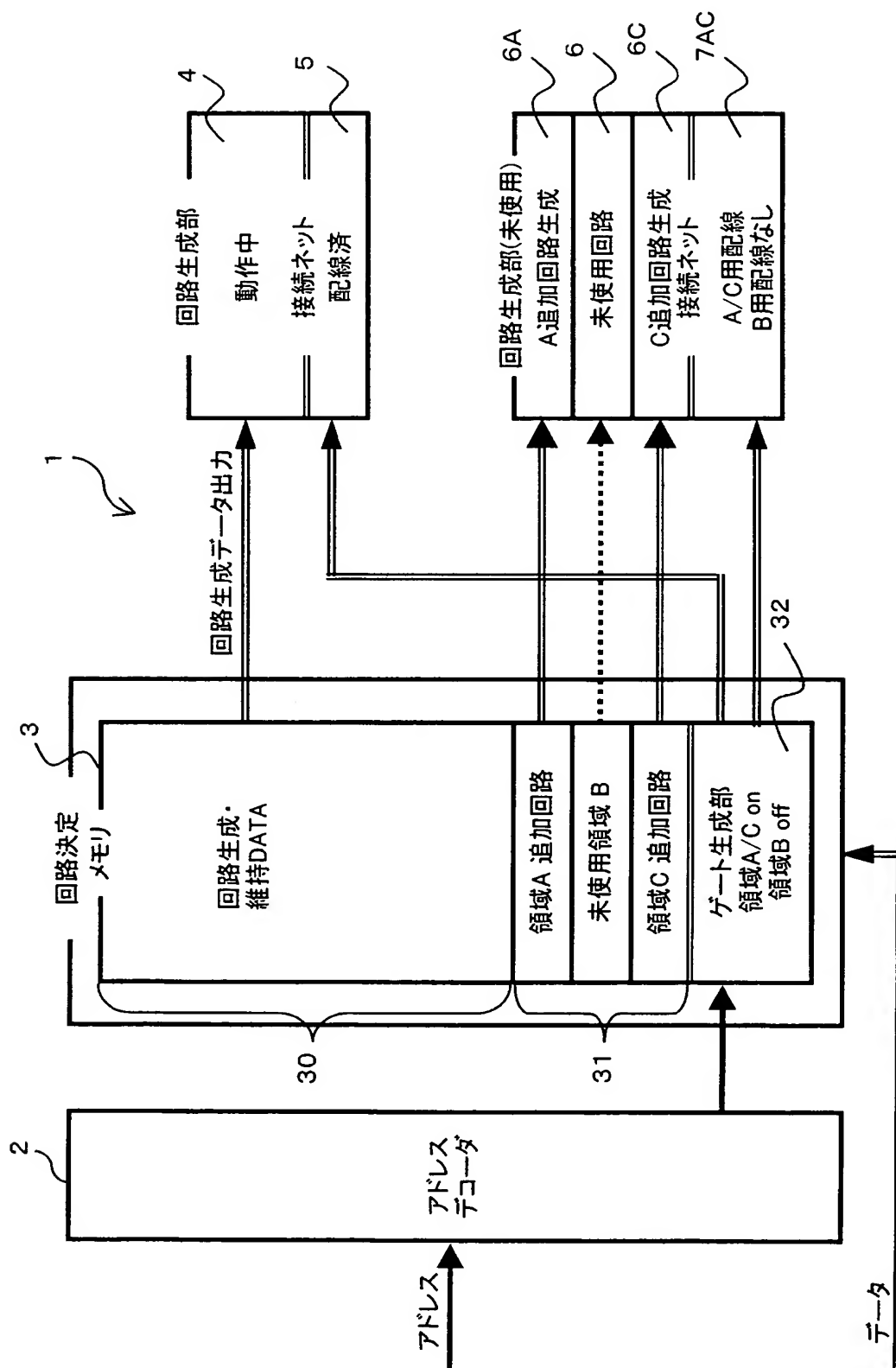
【図 4】



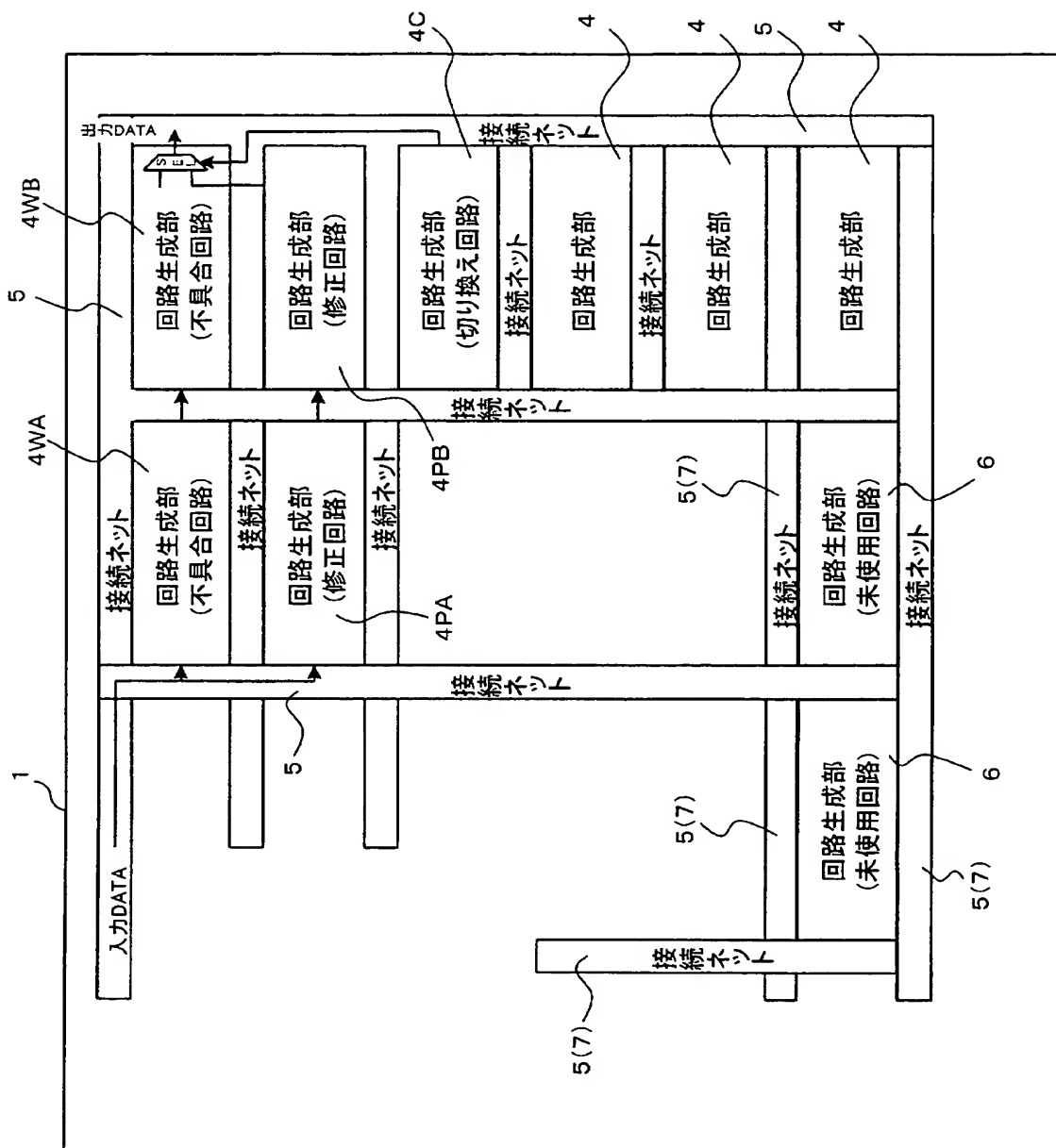
【図 5】



【図 6】

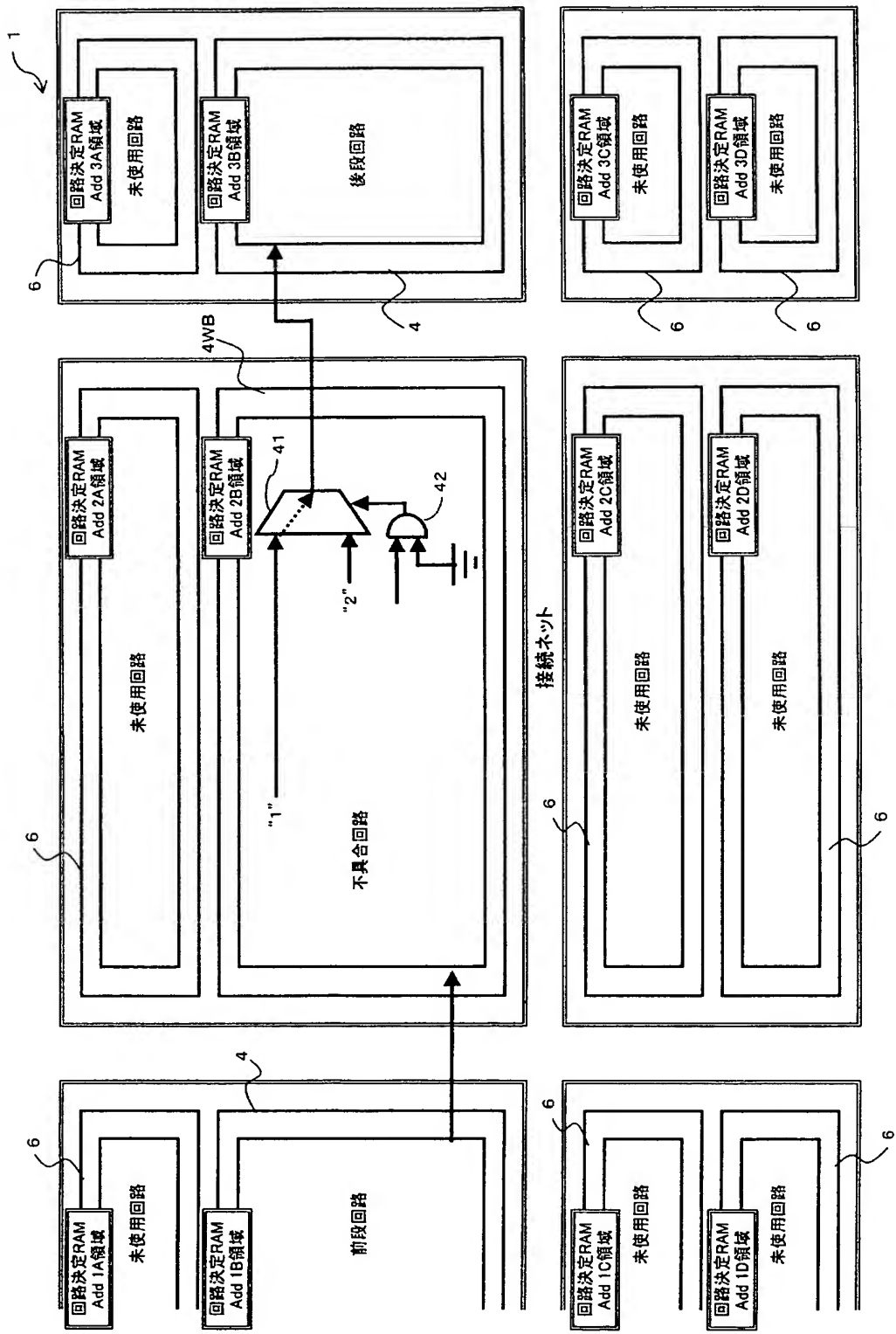


【図 7】

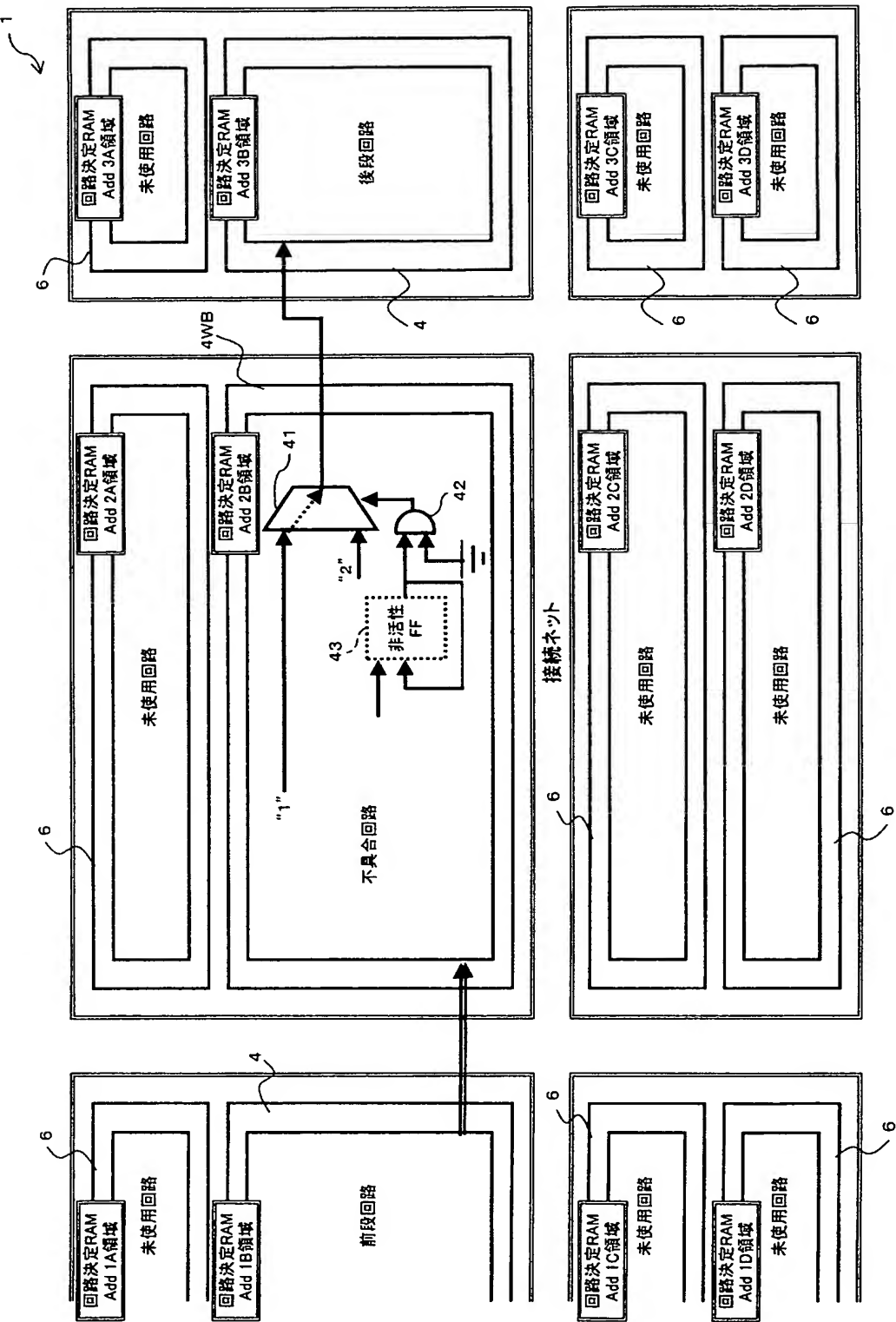




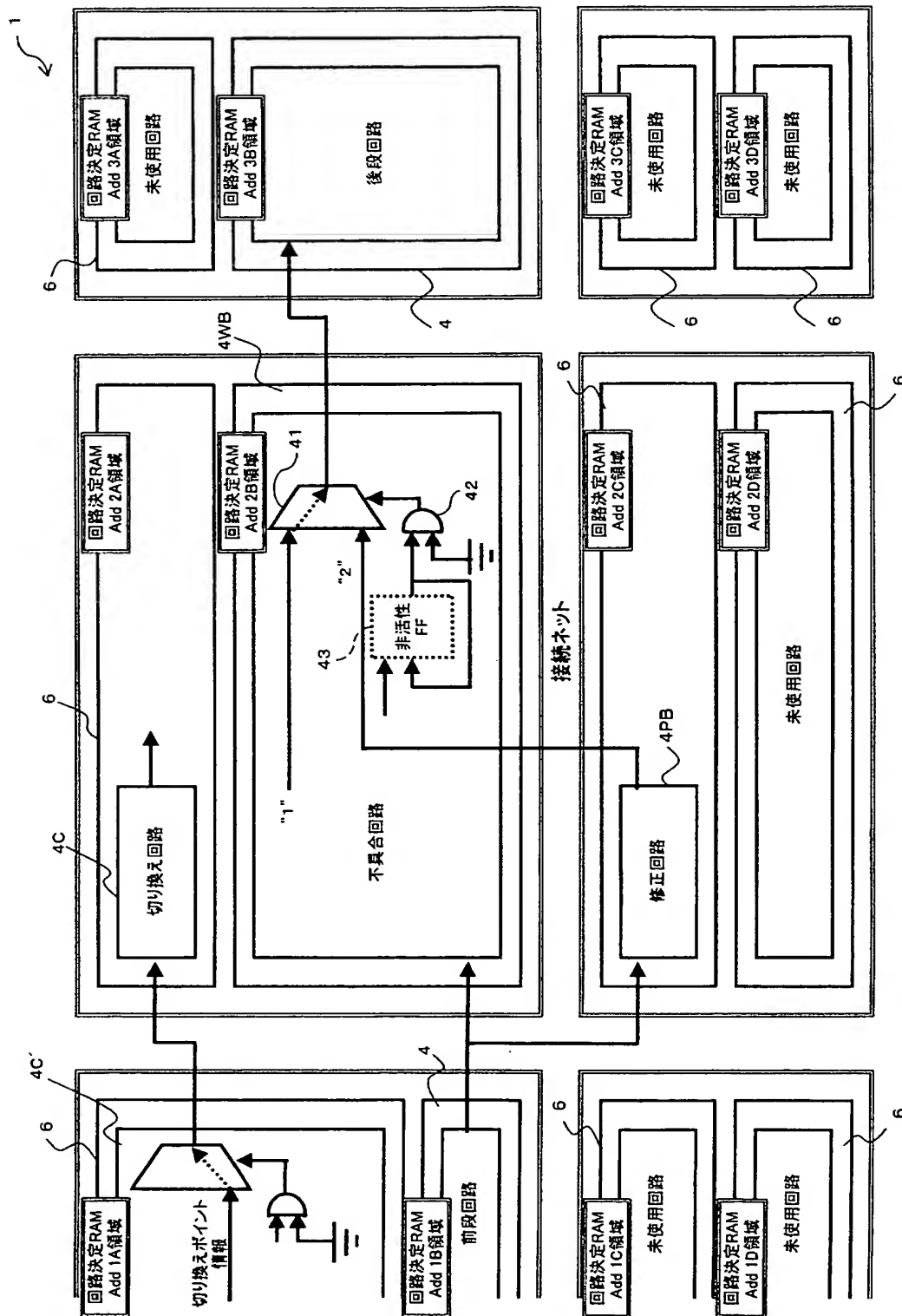
【図 8】



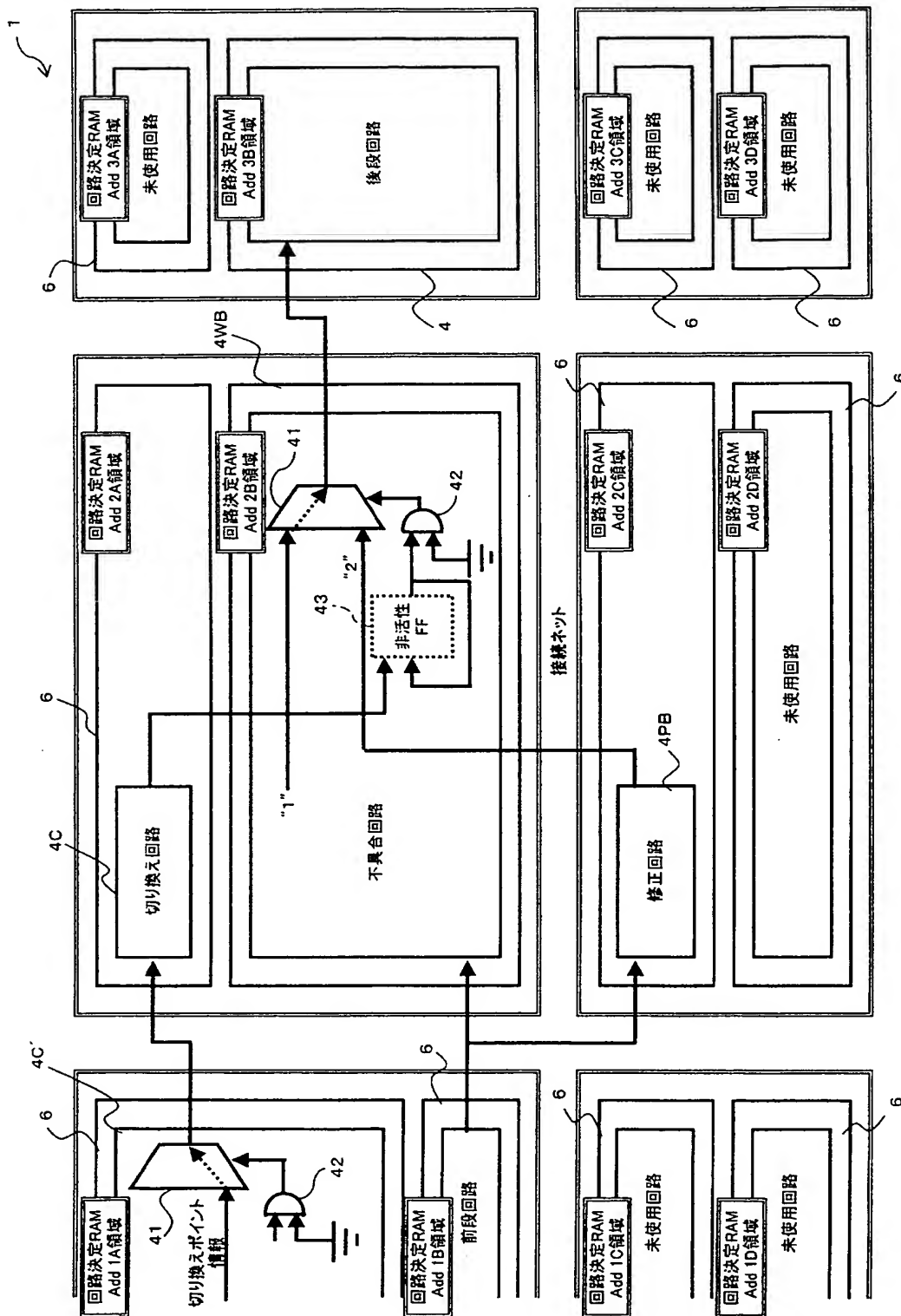
【図 9】



【図 10】

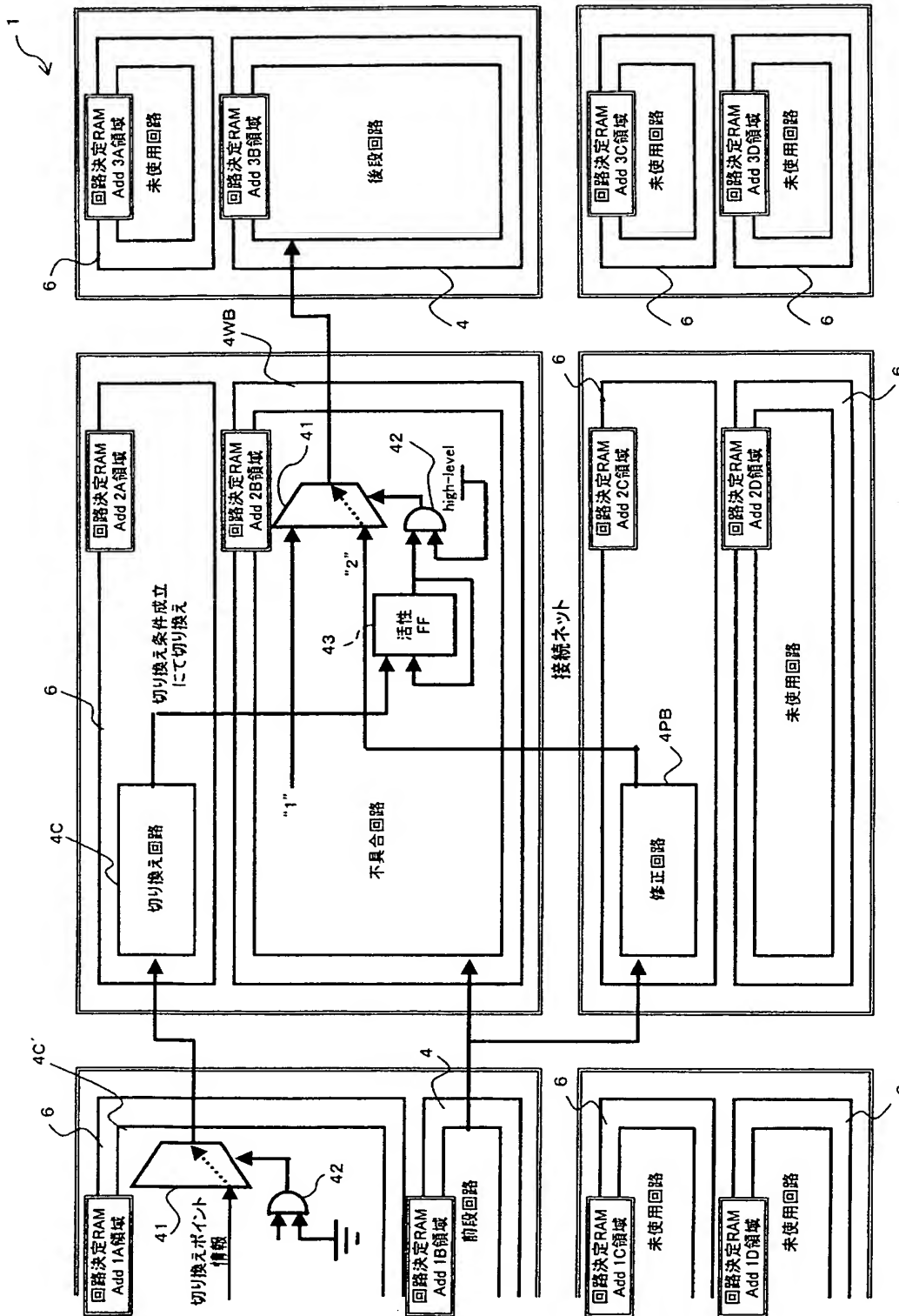


【図 1 1】

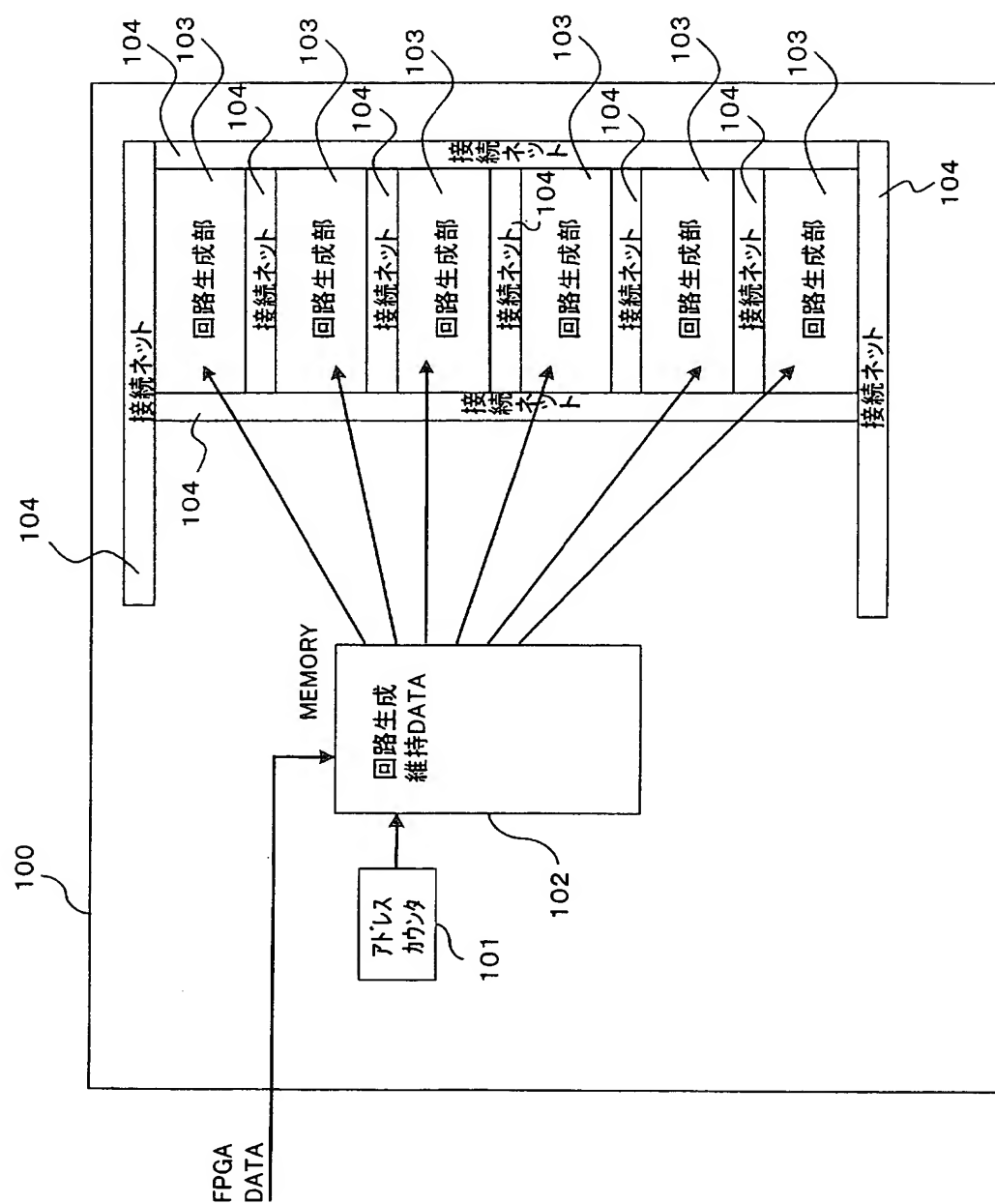




【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 動作継続中にも適宜に機能追加や不具合修正等の作業（データ書き換え）が可能な論理装置を提供する。

【解決手段】 実現すべき機能に応じた論理回路構成データに基づいて内部に論理回路部 4 が生成・維持される論理装置 1 であって、前記の論理回路部 4 を生成・維持するための論理回路構成データを保持するメモリ 3 と、上記論理回路部 4 の動作継続中に、1 つ以上の新たな論理回路部 4 を生成・維持するための論理回路構成データをメモリ 3 の未使用領域に追記するためのアドレス制御部 2 とをそなえるように構成する。

【選択図】 図 1



特願 2 0 0 3 - 0 5 8 5 2 5

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社